

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-176142

(43)Date of publication of application : 21.06.2002

(51)Int.Cl.

H01L 27/04
H01L 21/822
G01R 31/26
H01L 21/66
H01L 21/331
H01L 29/73

(21)Application number : 2000-373088

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 07.12.2000

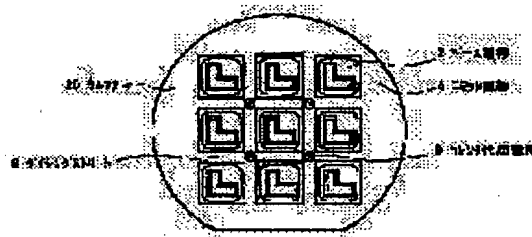
(72)Inventor : TAKAYAMA MAKOTO

(54) METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To solve the problem in the conventional case where pins for probing are stood on base electrodes and emitter electrodes from a surface of a wafer, collector electrodes formed by depositing metal on backs are arranged on a chuck table, electrodes are led out, and measurement is performed by standing a pin on the table in the case where characteristic is checked after a semiconductor element region is formed, but in the case where the wafer is thinned, electrodes cannot be led out from backs when a sheet is stuck for protection.

SOLUTION: Electrodes which are composed of aluminum and substituted for collectors and whose diameters are 10-50 . m are arranged on a dicing street of a surface of a wafer. Since the electrodes are positioned on the dicing street, they are diced in an assembling process, and influence is not exerted on a yield of the wafer at all. Measurement from a surface of the wafer becomes possible when the wafer is thinned and the sheet for protection is stuck on the back.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-176142

(P2002-176142A)

(43) 公開日 平成14年6月21日 (2002.6.21)

(51) IntCl.	識別記号	F I	テームコード (参考)
H 0 1 L 27/04		G 0 1 R 31/26	J 2 G 0 0 3
21/822		H 0 1 L 21/66	E 4 M 1 0 6
G 0 1 R 31/26		27/04	T 5 F 0 0 3
H 0 1 L 21/66			E 5 F 0 3 8
21/331		29/72	
審査請求 未請求 請求項の数 3 O L (全 4 頁) 最終頁に続く			

(21) 出願番号 特願2000-373088 (P2000-373088)

(22) 出願日 平成12年12月7日 (2000.12.7)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 高山 誠

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(74) 代理人 100111383

弁理士 芝野 正雅

Fターム(参考) 2G003 AA07 AG00 AH07

4M106 AA01 AD30 BA01 DD03 DD30

5F003 AP09 AZ09 BH11

5F038 AV05 CA12 CA13 DT04 DT15

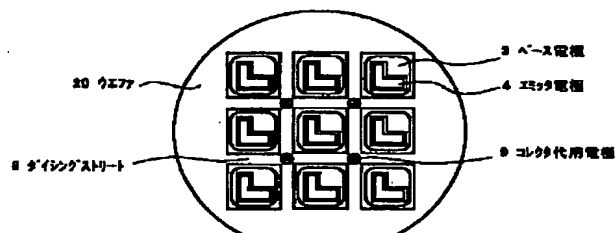
EZ12 EZ13 EZ14 EZ15 EZ20

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 従来、半導体素子領域の形成後、特性をチェックする場合にはウエファ表面からベース電極およびエミッタ電極にプロービングの針を立て、裏面に金属を蒸着して形成したコレクタ電極をチャックテーブルに配置して電極を引き出し、テーブルに針を立てて測定しており、ウエファ薄膜化を進めた場合、保護のためにシートを張り付けると、裏面から電極を取り出すことができなかった。

【解決手段】 ウエファ表面のダイシングストリート上にアルミニウムで直径10～50μmのコレクタ代用電極を設ける。ダイシングストリート上なので組立工程でダイシングされ、ウエファの収率には全く影響せず、ウエファ薄膜化を進めて裏面に保護用のシートを張り付けてもウエファ表面から測定が可能となる。



【特許請求の範囲】

【請求項1】 ウエファに半導体素子領域形成後、ダイシングストリート上にコレクタ代用電極を設けて、前記ウエファ表面からベース電極、エミッタ電極および前記コレクタ代用電極にプロービング針を立てて特性を測定することを特徴とする半導体装置の製造方法。

【請求項2】 ウエファに半導体素子領域形成後、ダイシングストリート上にコレクタ代用電極を設け、前記ウエファ裏面を研削して裏面金属を蒸着し、該ウエファ裏面に保護用シートを張り付け、該ウエファ表面からベース電極、エミッタ電極および前記コレクタ代用電極にプロービング針を立てて特性を測定することを特徴とする半導体装置の製造方法。

【請求項3】 前記ウエファの仕上げ厚は100 μm 以下であることを特徴とする請求項1または請求項2に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置の製造方法に関し、薄膜化したウエファの測定時にウエファダメージを防ぐ半導体装置の製造方法に関する。

【0002】

【従来の技術】半導体装置の製造工程では半導体素子領域形成後、ウエファ仕上げ厚が150 μm 以上の場合、ウエファ表面およびウエファ裏面から引き出した電極にプロービング針を立てて特性を測定している。

【0003】図4は、従来の半導体装置の製造方法を示す。これは以下に示す方法により製造した半導体素子領域の断面図である。

【0004】コレクタ領域3.1となる一導電型シリコン半導体基板表面に酸化膜および窒化膜3.2を堆積し、所定のベース領域表面をエッチングにより露出して逆導電型不純物をイオン注入後、拡散してベース領域3.3を形成する。

【0005】ベース領域3.3表面の所定のエミッタ領域部分に一導電型不純物を付着後、拡散してエミッタ領域3.4を形成する。

【0006】ベース領域3.3およびエミッタ領域3.4にコンタクト孔を設け、金属を付着して所望の電極形状になるようにエッチングしてベース電極3.5及びエミッタ電極3.6を形成する。

【0007】半導体基板裏面をB/G研削し、例えば150 μm 、200 μm などの所望の仕上げ厚みとし、裏面に真空蒸着により金属を付着してコレクタ電極3.7を形成する。

【0008】図5に、ウエファ上の半導体素子の測定方法を示す。まず、ベース電極3.5およびエミッタ電極3.6は、ウエファ4.0表面にプロービング針4.3を立てる。ウエファ4.0裏面のコレクタ電極3.7をチャックテーブル4.2に固着し、コレクタ電極3.7はチャックテ-

ブル4.2から引き出し、チャックテーブル4.2にプロービング針4.3を立てて特性を測定している。

【0009】

【発明が解決しようとする課題】近年パッケージの厚みを薄くする要求が増えており、今後その対応として更にウエファを薄膜化し、高効率および低ロスの半導体装置の製造が望まれている。

【0010】しかしウエファ仕上げ厚みを現在の主流である150 μm より更に薄くするようB/G研削を行う

と、ウエファ単体でのハンドリングや自動機などでウエファ割れが多発し、大幅な歩留低下となってしまう。これは各熱処理工程での熱歪みや窒化膜の線膨張係数の違いからウエファの反りが増大するため、この反りのためにB/G研削で真空チャックへの密着性が弱まり特にウエファ外周で研削時にウエファが上下にばたつくことにより割れが発生したり、プロービング作業時も真空チャックに密着性が弱まるために割れが発生する。

【0011】このため、半導体素子領域形成後の特性をプロービング測定する場合、ウエファ保護のためシート等を利用して直接ウエファがチャックテーブルに触れないようにセットおよびリセットを行わなければならないが、裏面にシートを張る方法ではコレクタ側の電極が取り出せない問題があった。

【0012】

【課題を解決するための手段】本発明は、かかる課題に鑑みてなされ、ウエファに半導体素子領域形成後、ダイシングストリート上にコレクタ代用電極を設けて、前記ウエファ表面からベース電極、エミッタ電極および前記コレクタ代用電極にプロービング針を立てて特性を測定することを特徴とし、ウエファの裏面に金属を蒸着後、保護のためにシートに張り付け、測定はウエファ表面から行うものである。これにより薄膜化した裏面電極を有するウエファの測定時におけるウエファ割れを防ぎ、歩留まりの低下を抑制するものである。

【0013】

【発明の実施の形態】本発明の半導体装置の製造方法は、ウエファに半導体素子領域形成後、ダイシングストリート上にコレクタ代用電極を設けてウエファ表面からベース電極、エミッタ電極およびコレクタ代用電極にプロービング針を立てて特性を測定するものである。

【0014】図1から図3に本発明の実施の形態を詳細に説明する。

【0015】図1は半導体素子領域を形成する工程をNチャネル型を例に示す。

【0016】コレクタ領域1となるN-型シリコン半導体基板表面に酸化膜および窒化膜2を堆積し、所定のベース領域表面をエッチングにより露出してP型不純物をイオン注入後、拡散してベース領域3を形成する。

【0017】全面に再度酸化膜および窒化膜2を堆積し、ベース領域3表面の所定のエミッタ領域部分をエッ

チングにより露出してN+型不純物を付着後、拡散してエミッタ領域4を形成する。

【0018】本発明の特徴はダイシングストリート8に設けたコレクタ代用電極9にある。ベース電極5およびエミッタ電極6と同時にコレクタ代用電極9を形成する。ベース領域3およびエミッタ領域4を覆う酸化膜および窒化膜2にコンタクト孔を設け、全面にアルミニウムを蒸着させる。所望の電極形状を得るためにレジストによるマスクをかける。このとき、従来のベース電極5およびエミッタ電極6に加えて、ダイシングストリート8上に直径10～50 μ m程度の円形の電極を残すようにマスクを変更しエッチングしてベース電極5、エミッタ電極6および、コレクタ代用電極9を形成する。

【0019】ウエファを100 μ m以下の所望の厚みになるまでウエファ裏面をB/G研削し、裏面金属を蒸着させてコレクタ電極7を形成する。

【0020】図2にウエファ20の上面図を示す。ダイシングストリート8はコレクタ領域1と同じN型領域であるので、ここに直径10～50 μ m程度のアルミニウム等の電極を設ければ裏面に蒸着したコレクタ電極7の代用となり、ウエファ表面からの測定が可能となる。しかも、このダイシングストリート8は、組み立て工程でチップを個別に分ける際にダイシングされてしまうので、ウエファの収率にも全く問題がない。

【0021】図3に、素子領域形成後のウエファの特性の測定方法を示す。

【0022】ウエファ20の薄膜化を進めた場合、特性の測定時にウエファ単体でのハンドリングや自動機などによりウエファの割れが多発し、大幅な歩留まり低下となってしまう。そのため、ウエファ20裏面に保護用のシート21等を張り付け、直接チャックテーブル22に触れないようにウエファ20のセット、リセットを行う。

【0023】しかし、これでは、コレクタ電極7を裏面に蒸着してあるのでコレクタ側の電極が取り出せない。この解決策としてダイシングストリート8上にアルミニ

ウム等のコレクタ代用電極9を設けることにより、表面からプロービング針23を立てて測定をすることができ

る。
【0024】つまり、ウエファ20の薄膜化を進め、ウエファ20保護のために裏面にシート21等を張り付ける必要があっても、ウエファ20表面からベース電極5、エミッタ電極6、コレクタ代用電極9すべてにプロービング針23を立てられるので、従来通りの測定ができる。

【0025】また、ウエファ20裏面にはシート21が貼り付けられるので測定時のウエファ割れを防ぎ、歩留まり低下を抑制できる。これにより、高効率、低ロスの半導体装置を製造することが可能となる。

【0026】

【発明の効果】本発明に依れば、ウエファ表面に設けたコレクタ代用電極により、ウエファの薄膜化を進めても、ウエファ表面からベース電極、エミッタ電極、コレクタ代用電極にプロービングの針を立てて測定が可能となる。

【0027】これによりウエファ裏面には保護のためにシートを張り付けることができるので、測定時のウエファ割れを防ぎ、歩留まり低下を抑制できる。従って、高効率、低ロスの半導体装置を製造することが可能となる。

【図面の簡単な説明】

【図1】本発明の半導体装置の製造方法を説明するための断面図である

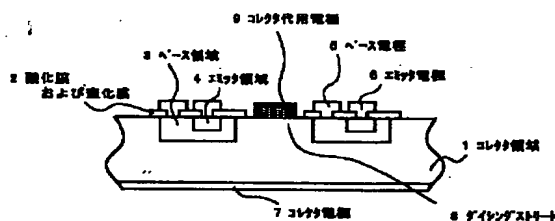
【図2】本発明の半導体装置の製造方法を説明するための上面図である。

【図3】本発明の半導体装置の製造方法を説明するための断面図である。

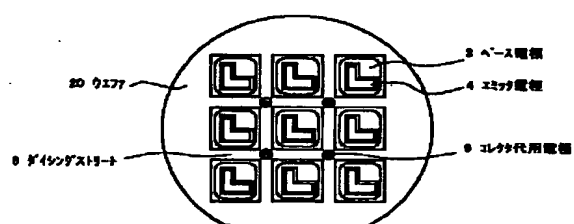
【図4】従来の半導体装置の製造方法を説明するための断面図である。

【図5】従来の半導体装置の製造方法を説明するための断面図である。

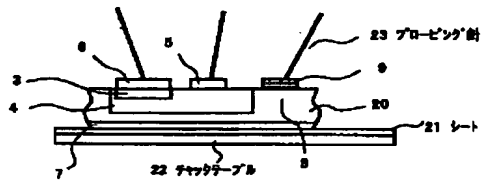
【図1】



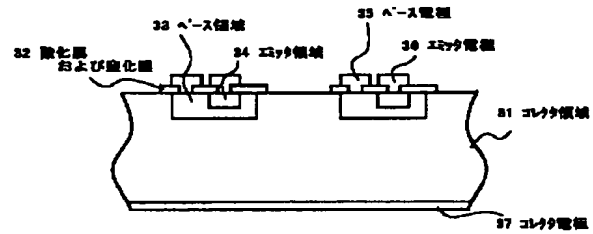
【図2】



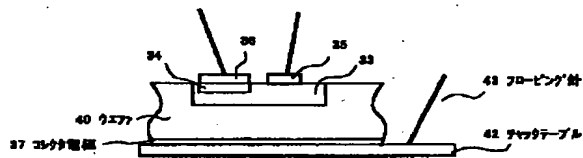
【図3】



【図4】



【図5】



フロントページの続き

(51)Int.Cl.

H 0 1 L 29/73

識別記号

F I

テーマコード(参考)